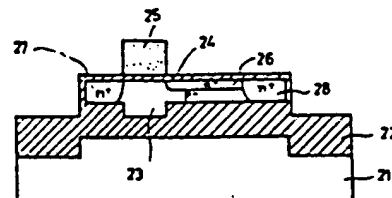


(54) HIGH BREAKDOWN VOLTAGE MIS TRANSISTOR AND MANUFACTURE THEREOF

(11) 1-96961 (A) (43) 14.4.1989 (19) JP
(21) Appl. No. 62-255103 (22) 8.10.1987
(71) FUJITSU LTD (72) SHINICHI KAWAI
(51) Int. Cl. H01L29/78, H01L27/12

PURPOSE: To obtain a high breakdown voltage MOSFET by providing a thin insulating film under a semiconductor layer directly under a gate electrode so as to provide a preferable crystal in the semiconductor layer, and forming a thick insulating film under a semiconductor layer except the film and particularly under the semiconductor layer including an offset low concentration layer.

CONSTITUTION: Oxygen ion implantation is conducted by dividing it to twice, the oxygen ions are first implanted only for a short time to form a thin insulating film, and the crystal of a silicon layer is held in high quality. Then, an epitaxially grown layer is formed thereon, thereby preventing the crystallinity of a channel section from decreasing directly under a gate electrode. Then, with the resist film above the gate electrode as a mask second oxygen ion implantation is conducted, and a thick insulating film is formed under the semiconductor layer including an offset low concentration layer. Thus, the quality of the crystal of the semiconductor layer except the channel section is deteriorated, but the breakdown voltage of its drain is rather improved.



27: source diffused layer, 25: gate electrode, 24: gate insulating film, 26: offset low concentration layer, 28: drain diffused layer, 22: insulating film, 23: silicon layer, 21: silicon substrate

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-96961

⑬ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

Z-7925-5F
7514-5F

⑭ 公開 平成1年(1989)4月14日

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 高耐圧MISトランジスタとその製造方法

⑯ 特 願 昭62-255103

⑰ 出 願 昭62(1987)10月8日

⑱ 発 明 者 川 合 真 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

高耐圧MISトランジスタとその製造方法

2. 特許請求の範囲

(1) 絶縁膜を介在させた絶縁性基板上に島状に設けられた半導体層と、該半導体層上にゲート絶縁膜を介して設けられたゲート電極を備え、該半導体層がソース拡散層、ドレイン拡散層および該ドレイン拡散層と前記ゲート電極直下の半導体層との間に設けられたオフセット低濃度層を有し、前記ソース拡散層とドレイン拡散層とオフセット低濃度層直下の半導体層との下の前記絶縁膜の膜厚が前記ゲート電極直下の半導体層の下の前記絶縁膜の膜厚より厚く構成されることを特徴とする高耐圧MISトランジスタ。

(2) 半導体基板に第1回の酸素イオンを注入して所定深さに絶縁膜を形成し、該絶縁膜上の半導体層に所定膜厚の半導体層をエピタキシャル成長する工程、

次いで、該半導体層を異方性エッチングして島状の半導体層に形成し、該半導体層上にゲート絶縁膜を形成して、該ゲート絶縁膜上にゲート電極膜を被着し、レジスト膜をマスクにしてゲート電極をパターンニングする工程、

次いで、前記レジスト膜をマスクにして第2回の酸素イオンを注入し、前記ゲート電極直下の半導体層を除く半導体層に前記第1回の酸素イオン注入によって形成した前記絶縁膜に接した絶縁膜を形成して、該絶縁膜の膜厚を増加する工程、

次いで、前記半導体層にオフセット低濃度層、ソース拡散層およびドレイン拡散層を形成する工程が含まれてなることを特徴とする高耐圧MISトランジスタの製造方法。

3. 発明の詳細な説明

〔概要〕

SIMOXによる高耐圧MISFETとその形成方法に関し、

素子特性の良いFETを形成することを目的と

し、

絶縁膜を介在させた絶縁性基板上に島状に設けられた半導体層と、該半導体層上にゲート絶縁膜を介して設けられたゲート電極を備え、該半導体層がソース拡散層、ドレイン拡散層および該ドレイン拡散層と前記ゲート電極直下の半導体層との間に設けられたオフセット低濃度層を有し、前記ソース拡散層とドレイン拡散層とオフセット低濃度層直下の半導体層との下の前記絶縁膜の膜厚が前記ゲート電極直下の半導体層の下の前記絶縁膜の膜厚より厚く構成されることを特徴とする。

且つ、その製造方法として、2回に分けた酸素イオン注入法によつて膜厚の厚い絶縁膜を有する絶縁性基板を形成して、ゲート電極下の半導体層を良結晶性に維持する。

〔産業上の利用分野〕

本発明は高耐圧MISトランジスタとその製造方法、特に、SIMOXによる高耐圧MISFETとその形成方法に関する。

らなる絶縁膜2を熱酸化して形成し、その絶縁膜2を設けたシリコン基板1(絶縁性基板)上に膜厚0.5 μm 程度の多結晶シリコン膜を被着し、公知のレーザアニールなどのビームアニール法によつて多結晶シリコン膜を再結晶化して結晶シリコン層を生成し、これをメサ形にエッチングして島状のシリコン層3に形成し、次いで、ゲート絶縁膜4、ゲート電極5を形成して、 n^- 型オフセット低濃度層6と n^+ 型ソース拡散層7、 n^+ 型ドレイン拡散層8をイオン注入法によつて形成するものである。

このようなSOI構造のFETは厚い絶縁膜がシリコン基板との間に介在するためにドレイン・基板間のブレイクダウンを抑制して耐圧を高くでき、且つ、低濃度のオフセット層が存在するため、このオフセット低濃度層6とシリコン層3との濃度を適当に選択すれば、オフセット低濃度層およびその直下の結晶シリコン層を完全に空乏化してソース・ドレイン耐圧を向上させつつ、オン抵抗を低くすることができる構造で、既に200V程度

MISFETにおいてはMOSFETが汎用されており、最近、そのMOSFETの高耐圧用が注目されて、良特性をもつた高耐圧トランジスタの開発が望まれている。

〔従来の技術と発明が解決しようとする問題点〕

高耐圧MOSFETとはドレインに高電圧(例えば、数百ボルト)を印加して動作させるトランジスタのことで、最近、高ドレイン耐圧を維持しながら他のトランジスタ特性を低下させないものが開発されている。

第3図は既に提案されているSOI(Silicon On Insulator)構造の高耐圧MOSFETの断面図を示しており、1はシリコン基板、2は酸化シリコン(SiO_2)膜からなる絶縁膜、3は p^- 型シリコン層、4は SiO_2 膜からなるゲート絶縁膜、5はゲート電極、6は n^- 型オフセット低濃度層、7は n^+ 型ソース拡散層、8は n^+ 型ドレイン拡散層である。

この形成方法は、膜厚1 μm 程度の SiO_2 膜か

のものが得られている。

且つ、SOI構造は通常、絶縁基板のために寄生容量が減少して高速動作に有利であり、例えば、立体的に積層して高集積化すると、高速動作の超LSIの実現が可能なものとされている構造である。

しかし、上記SOI構造の高耐圧MOSFETはビームアニール法によつて多結晶シリコン膜を再結晶化して、素子領域となる結晶シリコン膜を形成するために結晶性が良くないのが大きな欠点である。特に、細いビームを走査して熔融するために、走査線と走査線との重ね合わせ部分に凹凸ができて、その部分の結晶性が悪くなり、それが原因となつて特性のバラツキが起こつて、素子(トランジスタ)特性の均一性がえられないと云う問題がある。

従つて、このような素子特性を悪くするビームアニール法を用いずに、他の方法でSOI構造のMOSFETを形成する方法も考えられ、例えばSIMOX法(Separation by Implanted Oxygen

）によつて形成する方法がある。

第4図はそのような通常のSIMOX法によるSOI構造の高耐圧MOSFETの断面図を示しており、これは前記した第3図に示す構造と殆ど同じである。第4図において、11はシリコン基板、12はSiO₂膜からなる絶縁膜、13はp⁻型シリコン層、14はSiO₂膜からなるゲート絶縁膜、15はゲート電極、16はn⁻型オフセット低濃度層、17はn⁺型ソース拡散層、18はn⁺型ドレイン拡散層であるが、両者はSOI基板を形成する工程で著しく相異しており、第5図(a)~(c)にSIMOX法によるSOI基板の形成工程順断面図を示している。

即ち、第5図(a)に示すように、シリコン基板11の深い位置に高加速電圧・大電流によつて酸素イオンを注入する。次いで、同図(b)に示すように、熱処理して注入イオンを活性化し、シリコン基板11の深い位置にSiO₂膜からなる絶縁膜12を画定する。そうすると、表面に薄いシリコン層13'が形成される。次いで、同図(c)に示すように、絶縁

膜12上のシリコン層13'にエピタキシャル成長して所要膜厚のシリコン層13を形成する。このSIMOX法によるSOI基板の形成法は大電流酸素イオン注入装置の開発と相まって実用化されつつあるものである。

従つて、このシリコン層13はビームアニール法で作製したものでなく、エピタキシャル成長層であり、その成長層に素子を形成する方法であるから結晶性が良く、高品質な素子が形成できると考えられている。しかし、一方、このSIMOX法によるSOI基板を用いて高耐圧用素子を形成するためには、絶縁耐圧を高くするために膜厚の厚い絶縁膜12を形成する必要があり、そのような膜厚の厚い絶縁膜を形成しようとする、長い時間をかけてイオン注入しなければならず、そうするとエピタキシャル成長シリコン層13の基盤となる薄いシリコン層13'の結晶が著しく破壊され、更に、その上にエピタキシャル成長するシリコン層13もその結晶に影響されて結晶性が悪く、チャネルコンダクタンスG_nが低下したり、しきい値電

圧がバラついたりして素子特性が劣化する問題が生じる。

このため、SIMOX法によるSOI基板を用いた高耐圧MOSFETは十分な特性のものが得られず、その形成は困難と考えられている。

本発明はこのような問題点を解消させ、SIMOX法によるSOI基板を用いて特性の良い高耐圧MOSFETを形成することを目的とするものである。

〔問題点を解決するための手段〕

その目的は、絶縁膜を介在させた絶縁性基板上に島状に設けられた半導体層と、該半導体層上にゲート絶縁膜を介して設けられたゲート電極を備え、該半導体層がソース拡散層、ドレイン拡散層および該ドレイン拡散層と前記ゲート電極直下の半導体層との間に設けられたオフセット低濃度層を有し、前記ソース拡散層とドレイン拡散層とオフセット低濃度層直下の半導体層との下の前記絶縁膜の膜厚が前記ゲート電極直下の半導体層の下

の前記絶縁膜の膜厚より厚く構成される高耐圧MOSFETによつて達成される。

且つ、その形成方法として、半導体基板に第1回の酸素イオンを注入して所定深さに絶縁膜を形成し、該絶縁膜上の半導体層に所定膜厚の半導体層をエピタキシャル成長する工程、次いで、該半導体層を異方性エッチングして島状の半導体層に形成し、該半導体層上にゲート絶縁膜を形成して、該ゲート絶縁膜上にゲート電極膜を被着し、レジスト膜をマスクにしてゲート電極をパターンニングする工程、次いで、前記レジスト膜をマスクにして第2回の酸素イオンを注入し、前記ゲート電極直下の半導体層を除く半導体層に前記第1回の酸素イオン注入によつて形成した前記絶縁膜に接した絶縁膜を形成して、該絶縁膜の膜厚を増加する工程、次いで、前記半導体層にオフセット低濃度層、ソース拡散層およびドレイン拡散層を形成する工程が含まれることを特徴とする。

〔作用〕

即ち、本発明にかかる構造はSIMOX法によるSOI基板の均質で良好な結晶性を生かして高耐圧MOSFETを形成するもので、ゲート電極直下の半導体層は良好な結晶性を有し、他のゲート電極下の半導体層以外のオフセット低濃度層を含む半導体層の結晶は低品質の結晶になる。ここに、低品質の結晶とは結晶格子欠陥が多く、非単結晶化しているか、または、それに近い結晶のことである。このように、ゲート電極直下の半導体層を良好な結晶とし、他のゲート電極下以外のオフセット低濃度層を含む半導体層の結晶を低品質とすると、ドレイン電圧に応じてオフセット低濃度層とその下の半導体層の間に空乏層が拡がり、高いドレイン耐圧が維持される際、ドレインの高電圧によつて熱的に生成された電子・ホール対のなだれ増倍が、多数の再結合中心（多結晶化して結晶粒界の密度が増加すると再結合中心が増える）によつて抑制され、一層の高ドレイン耐圧が得られる。しかも、ゲート電極下の半導体層（チャネル部）は結晶性が良いから、チャネルコンダク

タンス G_m が高く、安定したしきい値電圧が得られる（特願昭62-058721号参照）。

このように、ゲート電極直下の半導体層を良好な結晶にするために、その下には薄い絶縁膜を介在させ、それ以外の半導体層の下、特にオフセット低濃度層を含む半導体層の下には厚い膜厚の絶縁膜を設けて高耐圧（高ドレイン耐圧）を維持させる。

そのための製造法として、酸素イオン注入を二回に分けておこない、最初に短時間だけ酸素イオンを注入して薄い絶縁膜を形成し、エピタキシャル成長層の基盤となるシリコン層の結晶を高品質に保持する。そして、その上にエピタキシャル成長層を形成してゲート電極直下のチャネル部分（シリコン層）が出来ただけ結晶性が悪くならないように図る。しかる後、ゲート電極上のレジスト膜をマスクとして第2回目の酸素イオン注入をおこない、オフセット低濃度層を含む半導体層の下には厚い膜厚の絶縁膜を形成する。そうすると、チャネル部分以外の半導体層の結晶品質が悪くな

るが、それはむしろ上記のようにドレイン耐圧の向上に役立つ。

〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかるSOI構造の高耐圧MOSFETの断面図を示し、21はシリコン基板、22は SiO_2 膜からなる絶縁膜、23はシリコン層、24はゲート絶縁膜、25はゲート電極、26は n^- 型オフセット低濃度層、27は n^+ 型ソース拡散層、28は n^+ 型ドレイン拡散層である。

次に、第2図(a)~(d)はその形成方法の工程順断面図を示しており、順を追って説明する。

第2図(a)参照；まず、シリコン基板21の表面より0.2 μm 下に第1回目の酸素イオンを注入し、熱処理して膜厚0.2 μm の SiO_2 膜からなる絶縁膜22'を生成する。そのイオン注入条件は加速電圧150KeV、ドーズ量 $1.2 \times 10^{18}/cm^2$ 、熱処理は窒素ガス中で1200℃、2時間程度おこなう。そうす

ると、表面に薄い0.2 μm のシリコン層23'が形成される。

第2図(b)参照；次いで、そのシリコン層23'の表面を僅か（膜厚500Å程度）にエッチングした後、膜厚0.7 μm 程度のシリコン層をエピタキシャル成長して、合計膜厚0.8~0.9 μm のシリコン層23を形成する。

第2図(c)参照；次いで、フォトリソセスを適用しレジスト膜マスク（図示せず）を設け、シリコン層23をリアクティブイオンエッチ（RIE）法により垂直に異方性エッチングして島状のシリコン層23に形成する。

第2図(d)参照；次いで、島状のシリコン層23の表面を熱酸化して、膜厚400Å程度のゲート絶縁膜を形成し、その上に膜厚0.5 μm のゲート電極膜（焼をドープした多結晶シリコン膜）を気相成長（CVD）法により被着し、更に、上面にフォトリソセスによつて膜厚1 μm のレジスト膜30を形成し、それをマスクにしてRIE法で垂直に異方性エッチングしてゲート電極25を形成する。

第2図(ハ)参照：次いで、そのレジスト膜30のマスクをそのまま残存させて、第2回目の酸素イオンを注入し、次に、レジスト膜30を除去して熱処理し、前記絶縁膜22'に接した絶縁膜22を生成する。イオン注入条件は加速電圧 300KeV、ドーズ量 $1.5 \times 10^{18}/\text{cm}^2$ 、熱処理は窒素ガス中で1200℃、2時間程度である。そうすると、ゲート電極25直下の半導体層のみ酸素イオンが注入されずに膜厚0.2 μm 程度と薄い、他の部分は合計膜厚0.4 μm 程度の絶縁膜22が形成され、且つ、ゲート電極25直下のシリコン層23の部分は結晶が破壊されずに結晶品質の良い領域が保持され、他のシリコン層部分は結晶性が劣化して、結晶欠陥の多い領域となる。従つて、ドレイン耐圧が高く、且つ、チャネルコンダクタンス G_m など素子特性の良いトランジスタが得られる。なお、島状の素子領域以外の絶縁膜が露出した部分では、この第2回目の酸素イオン注入により前記絶縁膜22'の下層に絶縁膜が形成されて膜厚の厚い絶縁膜22が形成される。

形成すれば、上記したように、ドレイン耐圧が高く、且つ、チャネルコンダクタンス G_m が良く、しきい値電圧が安定した好特性の高耐圧MOSFETが得られる。

なお、上記実施例はnチャネルトランジスタであるが、pチャネルトランジスタにも適用できることは勿論である。

〔発明の効果〕

以上の実施例の説明から明らかなように、本発明によれば素子特性の優れた高耐圧MOSFETが得られ、高耐圧ICの性能向上に顕著に貢献するものである。

4. 図面の簡単な説明

第1図は本発明にかかるSOI構造の高耐圧MOSFETの断面図、

第2図(ア)～(ハ)は本発明にかかる形成方法の工程順断面図、

第3図は公知のSOI構造の高耐圧MOSFET

第2図(ハ)参照：次いで、全面に酸素イオンを注入してゲート電極25直下のシリコン層を除くシリコン層部分をp型とし、次に、燐イオンを注入してゲート電極25直下のシリコン層を除くシリコン層の上層にオフセット低濃度層26を形成する。注入条件は酸素イオンが加速電圧 180KeV、ドーズ量 $1 \times 10^{12}/\text{cm}^2$ 、燐イオンが加速電圧 100KeV、ドーズ量 $2 \times 10^{12}/\text{cm}^2$ である。なお、ゲート電極25直下のシリコン層はこのままでは高純度層であるが、本工程における酸素注入によつてややp型化する傾向が強く、また、この領域はチャネル部となるから、たとえ高純度層であつても問題はない。

第2図(ハ)参照：次いで、フォトリソプロセスによつてソース・ドレイン形成用レジスト膜マスク（図示せず）を設けて、燐イオンを注入し、熱処理してソース拡散層27およびドレイン拡散層28を形成する。注入条件は加速電圧90KeV、ドーズ量 $2 \times 10^{15}/\text{cm}^2$ 程度である。

上記が本発明にかかる形成方法で、このように

の断面図、

第4図は通常のSIMOX法による高耐圧MOSFETの断面図、

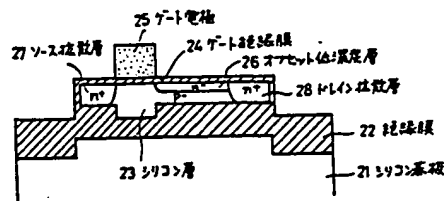
第5図(ア)～(ハ)はSIMOX法によるSOI基板の形成工程順断面図である。

図において、

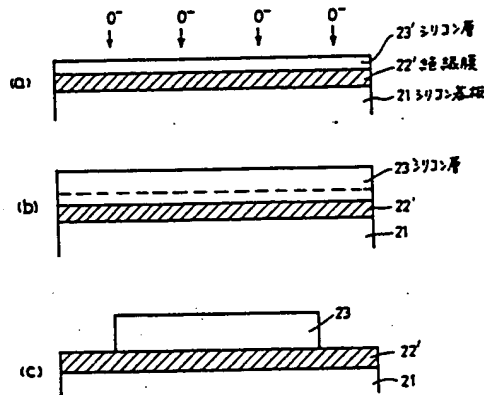
- | | |
|----------------|---------------|
| 21はシリコン基板、 | 22, 22'は絶縁膜、 |
| 23, 23'はシリコン層、 | 24はゲート絶縁膜、 |
| 25はゲート電極、 | 26はオフセット低濃度層、 |
| 27はソース拡散層、 | 28はドレイン拡散層、 |
| 30はレジスト膜 | |
- を示している。

代理人 弁理士 井 桁 貞 一

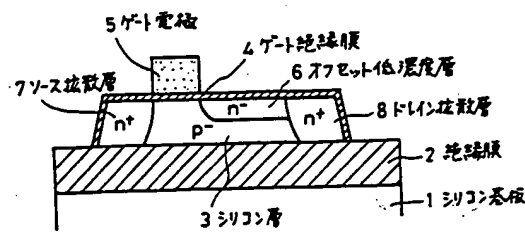




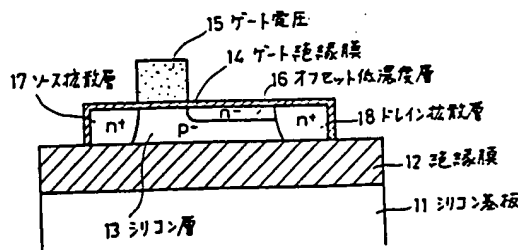
本発明に係る SOI 構造高耐圧 MOSFET の断面図
第 1 図



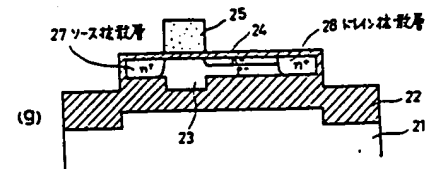
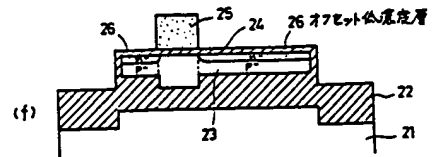
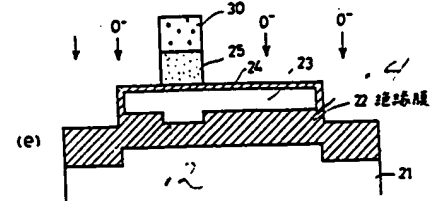
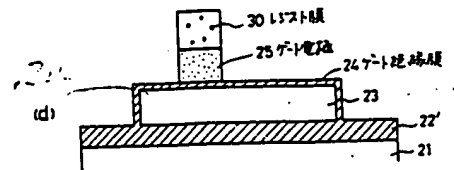
本発明に係る高耐圧 MOSFET の形成工程断面図
第 2 図



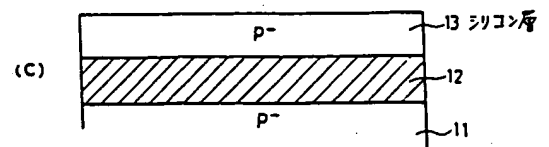
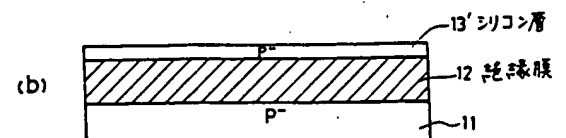
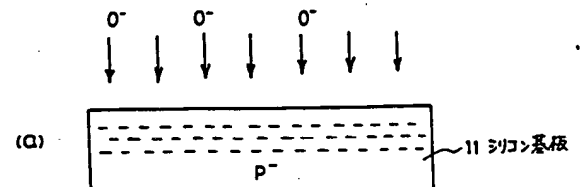
公知の SOI 構造高耐圧 MOSFET の断面図
第 3 図



通常の SIMOX 法による高耐圧 MOSFET の断面図
第 4 図



本発明に係る高耐圧 MOSFET の形成工程断面図
第 2 図



SIMOX 法による SOI 基板の形成工程断面図

第 5 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.